**ESTUDO SOBRE A CAPACIDADE MÁXIMA DE TRANSMISSÃO DE UMA PLACA DE DESENVOLVIMENTO FPGA DE10 – STANDARD PARA OPERAR UM ENLACE ÓPTICO RECONFIGURÁVEL COMPOSTO POR MÚLTIPLOS FEIXES DE LASERS EM PARALELO TRANSMITINDO EM ESPAÇO LIVRE**

SALLATIEL F. F. CARDOSO (IFPB, Campus João Pessoa), VICTOR HERBERT F. DE SOUSA (IFPB, Campus João Pessoa), GERALDO RODRIGUES X. JÚNIOR (IFPB, Campus João Pessoa), LUÍS ROMEU NUNES (IFPB, Campus João Pessoa), LINCOLN MACHADO DE ARAÚJO (IFPB, Campus João Pessoa), ROSSANA M. S. CRUZ (IFPB, Campus João Pessoa)

**E-mails:** sallatiel.freire@academico.ifpb.edu.br, victor.herbert@academico.ifpb.edu.br, geraldo.junior@academico.ifpb.edu.br, romeu.nunes@ifpb.edu.br, lincoln.araujo@ifpb.edu.br, rossana.cruz@ifpb.edu.br.

**Área de conhecimento:(Tabela CNPq)**: 3.04.06.00-5 Telecomunicações.

**Palavras-Chave**: comunicações ópticas; FPGA, transmissão paralela.

1. **Introdução**

Desde a construção do primeiro laser em 1960, as comunicações ópticas vêm obtendo relevância nos sistemas de telecomunicações (KAUSHAL et al, 2017). Devido às limitações na capacidade e qualidade que as comunicações na faixa do rádio apresentam em certas condições, diversas pesquisas vêm sendo realizadas no campo das comunicações ópticas, tanto com o objetivo de se ultrapassar tais limites, bem como fornecer soluções mais adequadas às diversas condições sob a qual as telecomunicações podem se apresentar.

Apesar disso, os sistemas de processamento de informações atuais são baseados na operação de tensões e correntes elétricas realizadas por elementos de comutação baseado em silício. Por se tratar de um sinal digital e de tais sistemas operarem em frequências elevadas, aliado às limitações na miniaturização de PCBs (*Printed Circuit Board*), tornam tais dispositivos emissores de interferência eletromagnética, que na maioria das vezes é uma característica indesejável. Logo, todo sistema de comunicação óptica deve lidar com esses efeitos em seu desenvolvimento, a fim de garantir a integridade do sinal e evitar interferência eletromagnética em outros sistemas.

Os parâmetros elétricos do FPGA, como a frequência máxima de operação, tempo de subida/descida e outros, são fornecidos no *datasheet* do *chip*, mas não são fornecidos no manual e documentos referentes à placa de desenvolvimento. O objetivo desta pesquisa é levantar essas informações e determinar os limites máximos para a frequência do sinal digital nas interfaces de entrada e saída da placa de desenvolvimento, escolhida para compor o projeto de pesquisa "enlace óptico reconfigurável baseado em FPGA via matriz de lasers em espaço livre". Devido à dificuldade de acesso aos laboratórios do IFPB durante a pandemia, além da limitação da faixa de operação do osciloscópio disponível, foram realizadas simulações e testes indiretos para o desenvolvimento deste trabalho.

1. **Materiais e Métodos**

Para a realização deste estudo, o dispositivo sob teste foi a placa de desenvolvimento DE10-Standard, baseado no FPGA Cyclone V SoC 5CSXFC6D6F31C6N (TERASIC, 2017). Foi utilizado o *software* Quartus Prime Lite Edition 20.1.1 e um osciloscópio USB Hantek 6022BL com dois canais com 20 MHz de largura de banda cada.

A metodologia adotada se apoia em duas abordagens, simulações e testes indiretos. Baseado em informações disponibilizadas pela fabricante do FPGA (Altera/Intel) e da placa de desenvolvimento (TERASIC), foi possível realizar simulações do circuito de interface no LTSpice. Aliado a isso, foi também elaborada uma descrição em *hardware* no FPGA para simular o sistema de comunicação e verificar, de forma indireta, a estabilidade e conformidade dos resultados obtidos. Utilizando-se destas abordagens, pode-se determinar um limite em frequência para o sinal digital empregado na comunicação e assim especificar os componentes necessários para os módulos ópticos.

Um sinal digital ideal possui um tempo de subida/descida igual a zero e por consequência uma largura de banda infinita, mas um sinal digital real possui um tempo de subida/descida diferente de zero. Através deste último, pode-se determinar uma frequência limite, dentro da sua banda, para representar a maior parte da energia do sinal digital.

Para um determinado tempo de subida () pode-se associar um sinal senoidal com a mesma inclinação. Sendo o período deste sinal equivalente a , pode ser determinada a frequência limite, ou frequência de joelho (, da banda que contém a maior parte da energia do sinal digital (Equação 1).

[Hz] (1)

A velocidade de propagação de uma onda eletromagnética no vácuo () é , em uma PCB essa velocidade é menor e depende da constante dielétrica do material (). Através da razão entre e a raiz da constante dielétrica do meio , pode-se determinar a velocidade de propagação do sinal em um determinado material. Para uma trilha sob a face da PCB, é utilizada uma constante dielétrica corrigida que pode ser aproximada por (SIERRA, 2018). Com e determina-se o menor comprimento de onda , energeticamente relevante, de um sinal digital (Equação 2).

[m] (2)

Se a trilha tiver um comprimento () inferior a , pode-se desconsiderar os efeitos de uma linha de transmissão e considerá-la como um circuito concentrado, em que todos os pontos da linha possuem, quase instantâneamente, a mesma tensão do sinal de entrada (JOHNSON, 1993).

1. **Resultados e Discussão**

Segundo o datasheet do FPGA 5CSXFC6D6F31C6N, a frequência máxima do PLL (Phase-Locked Loop) é o tempo de subida/descida para os pinos do FPGA é de no máximo . Aplicando a Equação (2), a frequência de joelho é igual a . Considerando que a permissividade relativa do FR-4 (substrato da PCB) é de , determinamos que o menor comprimento de onda a ser considerado é .

No entanto, a trilha que interliga o pino do FPGA ao pino do conector na placa de desenvolvimento é composto por um resistor de e um par de diodos BAT54S para proteção do FPGA, conforme a Figura 1a. O diodo schottky polarizado reversamente, no modelo equivalente, apresenta uma capacitância de junção e parasita (BOYLESTAD, 2013 p. 680). Para a componente AC do sinal digital, a capacitância equivalente é a soma das capacitâncias dos dois diodos, dado que se apresentam em paralelo. Então, com o filtro RC formado e a frequência de corte da simulação no LTSpice, utilizando o modelo do BAT54S (Figura 1a), é possível determinar a capacitância equivalente dos dois doidos, cujo valor é .

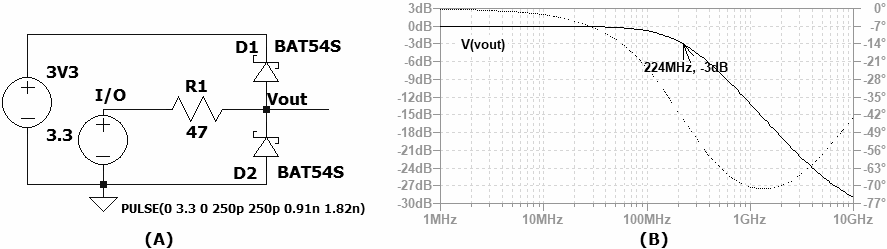


Figura 1: Circuito de interface entre cada pino do FPGA e o conector na placa.

(a) Simulação no LTSpice. (b) Resposta em frequência.

Considerando que o sinal de entrada do circuito RC é aproximadamente um degrau, pode-se determinar o novo tempo de subida. Sabendo que para um circuito RC, este é tem-se . Refazendo os passos anteriores, obtém-se que e . Aproximando o maior comprimento de trilha () pela maior distância () entre o pino do FPGA e o pino do conector (Figura 2), tem-se . Logo, e pode-se, assim, desconsiderar os efeitos de uma linha de transmissão e considerá-la como um circuito concentrado.

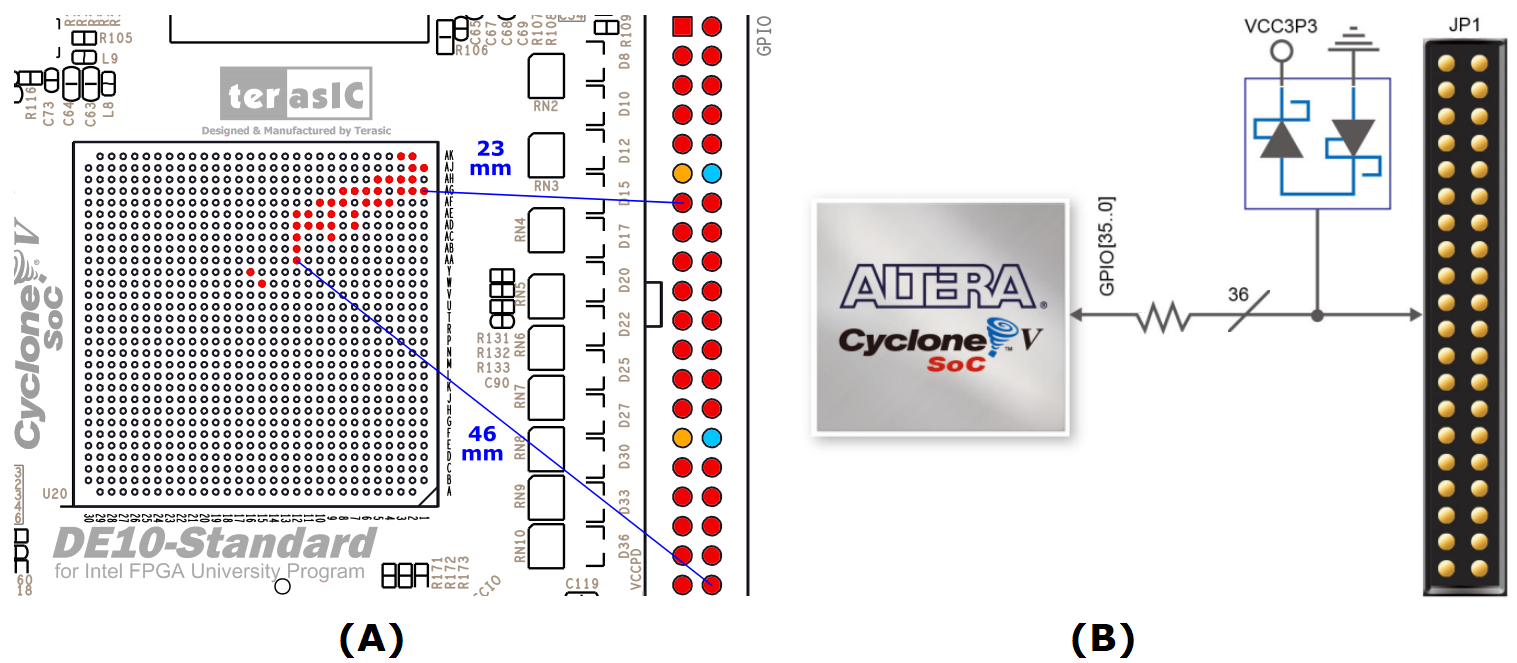


Figura 2: (a) Menor e maior distância entre os pinos do FPGA e do conector na placa. (b) Esquemático.

Além dessas informações levantadas através da simulação, foi sintetizado um circuito digital no FPGA que utilizou o PLL para elevar a frequência do *clock* disponível (50 MHz) para um valor que foi incrementado de 100 MHz a cada iteração do teste. Esse novo sinal de *clock* alimentou um par de divisores de frequências que o reduziram para 40 kHz a fim de permitir sua visualização pelo osciloscópio disponível. A diferença entre os blocos divisores estão na frequência de entrada, um recebe diretamente do PLL, o outro recebe o sinal do PLL que foi externalizado até o pino do conector e através de um *jumper*, reinjetado de volta para o FPGA e assim alimentar esse divisor de frequência.

Analisando esses dois sinais de 40 kHz e variando a frequência de saída do PLL de 50 até 650 MHz, foi observado que entre 250 e 350 MHz e acima de 600 MHz, o sinal de 40 kHz sob teste apresentou instabilidades. Considerando a frequência de corte em 224 MHz, obtida através da simulação, e a instabilidade do teste indireto na faixa entre 250 MHz e 350 MHz, pode-se adotar o limite de aproximadamente 200 MHz para a frequência do sinal digital empregado na comunicação do sistema em desenvolvimento.

1. **Considerações Finais**

Os testes realizados tiveram como objetivo verificar a frequência máxima suportada pela placa de desenvolvimento DE10-Standard para conexão elétrica com os módulos ópticos a serem desenvolvidos, através da barra de pinos externa que disponibiliza trinta e seis pinos de entrada ou saída digital, permitindo avaliar a aquisição de materiais, componentes eletrônicos e ópticos compatíveis com as capacidades disponibilizadas por esta placa.

Os resultados dos estudos desenvolvidos nesta pesquisa determinaram que a frequência máxima do sinal digital, suportado pelos pinos de interface é de 200 MHz e, sendo um período deste sinal composto por dois estados, desconsiderando todos os fatores que reduzem essa taxa de transmissão efetiva, a taxa máxima de comunicação é 400 Mbps por pino. Devido à proposta do projeto principal, que visa utilizar uma placa de desenvolvimento DE 10-Standard para desenvolver um sistema de comunicação óptica em espaço livre através de uma matriz de feixes de luz, a opção por um barramento óptico paralelo permite trabalhar, com margem de segurança, abaixo do limite de 200 MHz em cada feixe, e ainda assim alcançar taxas de transmissão da ordem de Gbps no sistema como um todo, ao somarmos os feixes utilizados.

**Referências**

BOYLESTAD, R. L., NASHELKY. L. Dispositivos eletrônicos e teoria de circuitos. 11º ed. Pearson. 2013.

JOHNSON, H. W., GRAHAM, M. High-speed digital design - A handbook of black magic. 1ª ed. Pearson. 1993.

KAUSHAL, H et al. Free Space Optical Communication. 1ª ed. Springer. New Delhi, India, 2017.

SIERRA Circuits Inc. How to PCB - Transmission lines. 2018.

TERASIC Inc. DE10-Standard, User manual. 2017.